

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

MIKIHITO SUGIURA et al.

Serial No.: To be assigned

: Art Unit: To be assigned

Filed: Herewith

: Examiner: To be assigned

For: ATM HEADER CONVERSION CIRCUIT  
AND METHOD

: Atty Docket: 21900/0047



**SUBMISSION OF CERTIFIED PRIORITY DOCUMENT(S) and  
CLAIM TO PRIORITY UNDER 35 U.S.C. § 119**

Commissioner for Patents  
Washington, D.C. 20231

Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), certified copies of which are enclosed. The documents were filed in a foreign country within the proper statutory period prior to the filing of the above-referenced United States patent application.

<u>Priority Document Serial No.</u>	<u>Country</u>	<u>Filing Date</u>
<u>2001-055849</u>	<u>Japan</u>	<u>02/28/2001</u>

Acknowledgement of this claim and submission in the next official communication is respectfully requested.

Respectfully submitted,

Morris Liss, Reg. No. 24,510  
Connolly Bove Lodge & Hutz LLP  
1990 M Street, N.W.  
Washington, D.C. 20036-3425  
Telephone: 202-331-7111

Date:

2/25/02

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1046 U.S. PRO  
10/080406  
02/25/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 2月28日

出 願 番 号  
Application Number:

特願2001-055849

出 願 人  
Applicant(s):

松下電器産業株式会社

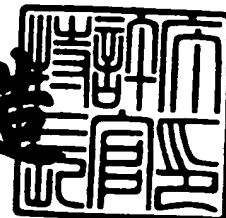
CERTIFIED COPY OF  
PRIORITY DOCUMENT

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 4月27日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3036177

【書類名】 特許願

【整理番号】 2900730313

【あて先】 特許庁長官殿

【国際特許分類】 H04L 9/06  
H04L 12/00

【発明者】

【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 松下通信  
工業株式会社内

【氏名】 杉浦 幹人

【発明者】

【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 松下通信  
工業株式会社内

【氏名】 青山 恭弘

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100093067

【弁理士】

【氏名又は名称】 二瓶 正敬

【手数料の表示】

【予納台帳番号】 039103

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0003222

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 A T Mセルヘッダ変換回路及び方法

【特許請求の範囲】

【請求項 1】 複数のアドレスの各々毎に第 1 及び第 2 の A T Mセルヘッダデータを対にしてエントリデータとして記憶するエントリデータ記憶手段と、

入力セルヘッダデータと、前記エントリデータ記憶手段に記憶されている第 1 及び第 2 の A T Mセルヘッダデータのうち、変換対象の A T Mセルヘッダデータの照合位置を示す信号に基づいて第 1 及び第 2 の A T Mセルヘッダデータの一方とを部分的に、かつ、各アドレス毎に照合し、各アドレス毎の照合結果を出力する部分照合手段と、

前記各アドレス毎の照合結果に基づいて、照合結果が一致する前記エントリデータ記憶手段のアドレスを抽出するアドレス抽出手段と、

前記アドレス抽出手段により抽出されたアドレスの第 1 及び第 2 の A T Mセルヘッダデータの他方を変換後の A T Mセルヘッダデータとして前記エントリデータ記憶手段から出力するセルヘッダ出力手段とを、

備えた A T Mセルヘッダ変換回路。

【請求項 2】 前記第 1 又は第 2 の A T Mセルヘッダデータの照合位置を示す信号はビット単位で指定する信号であって、前記部分照合手段は入力セルヘッダデータと第 1 及び第 2 の A T Mセルヘッダデータの一方をビット単位で照合する請求項 1 に記載の A T Mセルヘッダ変換回路。

【請求項 3】 前記第 1 又は第 2 の A T Mセルヘッダデータの照合位置を示す信号は各データを 1 ワードとしてワード単位で指定する信号であって、前記部分照合手段は入力セルヘッダデータと第 1 及び第 2 の A T Mセルヘッダデータの一方をワード単位で照合する請求項 1 に記載の A T Mセルヘッダ変換回路。

【請求項 4】 前記第 1、第 2 の A T Mセルヘッダデータを各 1 ワードとしてワード単位で指定する信号と前記エントリデータ記憶手段の読み出しアドレスに基づいて、前記エントリデータ記憶手段に記憶されている第 1 又は第 2 の A T Mセルヘッダデータを部分的に読み出すエントリデータ部分読み出し手段を更に備えた請求項 1 ないし 3 のいずれか 1 つに記載の A T Mセルヘッダ変換回路。

【請求項 5】 前記第 1、第 2 の A T M セルヘッダデータを各 1 ワードとしてワード単位で指定する信号と前記エントリデータ記憶手段の書き込みアドレスに基づいて、第 1 又は第 2 の A T M セルヘッダデータを前記エントリデータ記憶手段に部分的に書き込むエントリデータ部分書き込み手段を更に備えた請求項 1 ないし 4 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 6】 指定するワード数が可変である請求項 3 ないし 5 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 7】 1 ワードに割り当てるビット数が可変である請求項 3 ないし 5 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 8】 指定するワード数と 1 ワードに割り当てるビット数が可変である請求項 3 ないし 5 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 9】 前記セルヘッダ出力手段はさらに、変換後の A T M セルヘッダデータと共に前記エントリデータ記憶手段のそのアドレスを出力する請求項 1 ないし 8 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 1 0】 変換前と変換後が同じ A T M セルヘッダを第 1 及び第 2 のアドレスを対にしてエントリデータとして記憶するエントリデータ記憶手段と、

入力セルヘッダデータと前記エントリデータ記憶手段に記憶されている A T M セルヘッダデータを第 1 及び第 2 のアドレスの対毎に完全照合し、第 1 及び第 2 のアドレスの対毎の照合結果を出力する完全照合手段と、

前記第 1、第 2 のアドレスの対毎の照合結果に基づいて、照合結果が一致する前記エントリデータ記憶手段の第 1 及び第 2 のアドレスを抽出するアドレス抽出手段と、

前記エントリデータ記憶手段の第 1 及び第 2 のアドレスに対応して変換後の A T M セルヘッダをあらかじめ記憶する変換後 A T M セルヘッダ記憶手段と、

前記アドレス抽出手段により抽出された第 1 及び第 2 のアドレスの一方を A T M セルヘッダの変換方向に基づいて選択し、前記変換後 A T M セルヘッダ記憶手段からそのアドレスの A T M セルヘッダを読み出す手段とを、

備えた A T M セルヘッダ変換回路。

【請求項 1 1】 前記 A T M セルヘッダの変換方向は、セルヘッダデータが前

記完全照合手段に入力する網に応じて指定する請求項 1 0 に記載の A T M セルヘッダ変換回路。

【請求項 1 2】 複数に分岐するポートを備え、前記エントリデータ記憶手段のアドレスが前記ポート番号に対応している請求項 1 ないし 1 1 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 1 3】 複数に分岐するポートを備え、前記エントリデータ記憶手段のアドレスが前記ポート番号を含む請求項 1 ないし 1 1 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 1 4】 複数に分岐していない一方のポートから入力したセルヘッダデータを前記変換対象の A T M セルヘッダデータの照合位置を示す信号により照合して変換し、前記変換後の A T M セルヘッダデータをそのアドレスが含む分岐ポート番号に基づいて、複数に分岐している他方のポートの 1 つの分岐先に出力する請求項 1 3 に記載の A T M セルヘッダ変換回路。

【請求項 1 5】 前記エントリデータ記憶手段に対して、複数に分岐しているポート側の A T M セルヘッダデータに対してその分岐ポート番号を付加して記憶し、

前記 A T M セルヘッダデータ及び分岐ポート番号を前記変換対象の A T M セルヘッダデータの照合位置を示す信号により部分照合する請求項 1 3 に記載の A T M セルヘッダ変換回路。

【請求項 1 6】 前記エントリデータ記憶手段に対して、複数に分岐しているポート側の A T M セルヘッダデータに対してその分岐ポート番号を付加して記憶するとともに、複数に分岐していないポート側の A T M セルヘッダデータはそのまま記憶し、

前記変換対象の A T M セルヘッダデータの照合位置を示す信号により、A T M セルヘッダデータが前記複数に分岐しているポートから入力する場合には分岐ポート番号と共に部分照合し、複数に分岐していないポートから入力する場合には入力 A T M セルヘッダデータのみを部分照合する請求項 1 3 に記載の A T M セルヘッダ変換回路。

【請求項 1 7】 エントリデータにコネクション情報を付加して前記エントリ

データ記憶手段に記憶する請求項 1 ないし 1 6 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 1 8】 前記変換対象の A T M セルヘッダデータの照合位置を示す信号により、入力セルヘッダデータに対応する変換後セルヘッダデータと共に前記コネクション情報を出力する請求項 1 7 記載の A T M セルヘッダ変換回路。

【請求項 1 9】 前記エントリデータ記憶手段に記憶されている A T M セルヘッダデータの内、システムにおいて禁止されている V P I / V C I を初期値に設定する請求項 1 ないし 1 8 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 2 0】 前記エントリデータ記憶手段に記憶されている A T M セルヘッダデータの内、登録の必要がない V P I / V C I を初期値に設定する請求項 1 ないし 1 8 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 2 1】 奇数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までのエントリデータの多重一致情報により複数のエントリデータとの一致をカウントして次段の多重一致カウント手段に通知する多重一致カウント手段と、

偶数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報と 2 段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び 2 段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた請求項 1 ないし 2 0 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 2 2】 自然数 N の倍数番目以外に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

N の倍数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報と N 段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び N 段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた請求項 1 ないし 2 0 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 2 3】 自然数  $M$  に対して 2 の  $M$  乗番目以外に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

2 の  $M$  乗番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報と  $M$  以下の全ての自然数  $T$  に対して  $2^T$  段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び  $2^T$  段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた請求項 1 ないし 2 0 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 2 4】 自然数  $N$ 、 $M$  に対して  $N$  の  $M$  乗番目以外に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの照合結果により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

$N$  の  $M$  乗番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報と  $M$  以下の全ての自然数  $T$  に対して  $N^T$  段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び  $N^T$  段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた請求項 1 ないし 2 0 のいずれか 1 つに記載の A T M セルヘッダ変換回路。

【請求項 2 5】 請求項 1 ないし請求項 2 4 のいずれか 1 つに記載の A T M セルヘッダ変換回路により、A T M セルヘッダを変換する光加入者伝送システムの A T M セルヘッダ変換方法。

【請求項 2 6】 複数のアドレス毎に第 1 及び第 2 の A T M セルヘッダデータを対にして記憶し、

入力セルヘッダデータと、記憶されている第1及び第2のATMセルヘッダデータのうち、変換対象のATMセルヘッダデータの照合位置に基づいて第1及び第2のATMセルヘッダデータ的一方とを各アドレス毎に照合し、

照合結果が一致するアドレスの第1及び第2のATMセルヘッダデータの他方を変換後のATMセルヘッダデータとするATMセルヘッダ変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ATM (Asynchronous Transfer Mode) セルヘッダを変換するATMセルヘッダ変換回路及び方法に関する。

【0002】

【従来の技術】

従来のATMセルヘッダ変換方法としては、ヘッダ変換テーブルとして変換前データをアドレスとして変換後データを記憶するRAMを使用するRAM方式が知られている。しかしながら、ATMセル及びそのセルヘッダ、さらにはセルヘッダ内の各フィールドは固定長で定義されているが、実際のセルヘッダ内の各フィールド長、特に8ビットが定義されているVPI (仮想パス識別子) や16ビットが定義されているVCI (仮想チャネル識別子) の各フィールド長はATM網により制限される。このため、RAM方式は、実際のコネクション数分のメモリ量しか使用しないので、メモリ空間を有効に使えないという問題があった。

【0003】

このような制限をなくすため、例えば“連想記憶メモリを用いたATMセルヘッダ変換方式” 中山他、1996年電子情報通信学会ソサイエティ大会B-521に記載された方法が知られている。この方法による回路は、図19に示すようにCAM (Content Addressable Memory) 250とRAM 251を有する。CAM 250とRAM 251のアドレスは1対1で対応し、CAM 250とRAM 251にはそれぞれ変換前、変換後のデータが記憶される。そして、第1のATM網からの入力セルヘッダデータ (A側セルヘッダデータ) 200に対してCAM 250を用いてアドレス201を引き、引いたアドレスを基にRAM 251から

対応する第2のATM網への出力側のセルヘッダデータ（B側セルヘッダデータ）202を得るように構成されている。

【0004】

このようなATMセルヘッダ変換回路を用いることにより、使用コネクション数が決まれば、その分のメモリ容量でよく、また、VPI+VCIの使用ビット数を制限することはない。

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来のセルヘッダ変換回路においては、ATM網の間で独立したセルヘッダデータを持たせた上で、第1のATM網から第2のATM網へのセルヘッダ変換と、第2のATM網から第1のATM網へのセルヘッダ変換を行うには、2つのCAM250及び2つのRAM251が必要であるので、回路規模が増大し、また、2つの記憶手段で記憶しているコネクション情報の整合性を監視しなければならないという問題点があった。さらには、RAM251のアドレス情報をCAM250から読み出してRAM251にアクセスするために、セルヘッダ変換処理に時間を要するという問題点があった。

【0006】

本発明は、上記従来の問題を解決するもので、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができるATMセルヘッダ変換回路及び方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明の第1態様は、複数のアドレスの各々毎に第1及び第2のATMセルヘッダデータを対にしてエントリデータとして記憶するエントリデータ記憶手段と

入力セルヘッダデータと、前記エントリデータ記憶手段に記憶されている第1及び第2のATMセルヘッダデータのうち、変換対象のATMセルヘッダデータの照合位置を示す信号に基づいて第1及び第2のATMセルヘッダデータの一方を部分的に、かつ、各アドレス毎に照合し、各アドレス毎の照合結果を出力する

部分照合手段と、

前記各アドレス毎の照合結果に基づいて、照合結果が一致する前記エントリデータ記憶手段のアドレスを抽出するアドレス抽出手段と、

前記アドレス抽出手段により抽出されたアドレスの第1及び第2のATMセルヘッダデータの他方を変換後のATMセルヘッダデータとして前記エントリデータ記憶手段から出力するセルヘッダ出力手段とを、

備えた構成とした。

本発明の第1態様により、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

#### 【0008】

本発明の第2態様は、第1態様のATMセルヘッダ変換回路において、前記第1又は第2のATMセルヘッダデータの照合位置を示す信号はビット単位で指定する信号であって、前記部分照合手段は入力セルヘッダデータと第1及び第2のATMセルヘッダデータ的一方をビット単位で照合する構成とした。

本発明の第2態様により、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

#### 【0009】

本発明の第3態様は、第1態様のATMセルヘッダ変換回路において、前記第1又は第2のATMセルヘッダデータの照合位置を示す信号は各データを1ワードとしてワード単位で指定する信号であって、前記部分照合手段は入力セルヘッダデータと第1及び第2のATMセルヘッダデータ的一方をワード単位で照合する構成とした。

本発明の第3態様により、第2態様と比べて、ATMセルヘッダ変換回路への検索方向を示す入力ビット数をセルヘッダ長に依存することなく抑えることが可能となる。

#### 【0010】

本発明の第4態様は、第1ないし第3態様のいずれかにおいて、前記第1、第2のATMセルヘッダデータを各1ワードとしてワード単位で指定する信号と前記エントリデータ記憶手段の読み出しアドレスに基づいて、前記エントリデータ

記憶手段に記憶されている第 1 又は第 2 の A T M セルヘッダデータを部分的に読み出すエントリデータ部分読み出し手段を更に備えた構成とした。

本発明の第 4 態様により、エントリ記憶手段からの読み出しを高速に行うことが可能となる。

【 0 0 1 1 】

本発明の第 5 態様は、第 1 ないし第 4 態様のいずれかにおいて、前記第 1、第 2 の A T M セルヘッダデータを各 1 ワードとしてワード単位で指定する信号と前記エントリデータ記憶手段の書き込みアドレスに基づいて、第 1 又は第 2 の A T M セルヘッダデータを前記エントリデータ記憶手段に部分的に書き込むエントリデータ部分書き込み手段を更に備えた構成とした。

本発明の第 5 態様により、エントリ記憶手段への書き込みを高速に行うことが可能となる。

【 0 0 1 2 】

本発明の第 6 態様は、第 3 ないし第 5 態様のいずれかにおいて、指定するワード数を可変に構成した。

本発明の第 6 態様により、コネクションに関する情報の追加・削除などのシステム変更があるときに回路構成を変更すること無く対応することが可能となる。

【 0 0 1 3 】

本発明の第 7 態様は、第 3 ないし第 5 態様のいずれかにおいて、1 ワードに割り当てるビット数を可変に構成した。

本発明の第 7 態様により、使用する V P I / V C I のビット数の拡張などのシステム変更があるときに回路構成を変更すること無く対応することが可能となる。

【 0 0 1 4 】

本発明の第 8 態様は、第 3 ないし第 5 態様のいずれかにおいて、指定するワード数と 1 ワードに割り当てるビット数を可変に構成した。

本発明の第 8 態様により、システム変更があるときに回路構成を変更すること無く対応することが可能となる。

【 0 0 1 5 】

本発明の第 9 態様は、第 1 ないし第 8 態様のいずれかにおいて、前記セルヘッダ出力手段はさらに、変換後の A T M セルヘッダデータと共に前記エントリデータ記憶手段のそのアドレスを出力する構成とした。

本発明の第 9 態様により、入力セルヘッダに対応する対応アドレス及び対応セルヘッダデータを同時に出力することができるので、対応セルヘッダデータを高速に得ることが可能となる。

#### 【 0 0 1 6 】

本発明の第 1 0 態様は、変換前と変換後が同じ A T M セルヘッダを第 1 及び第 2 のアドレスを対にしてエントリデータとして記憶するエントリデータ記憶手段と、

入力セルヘッダデータと前記エントリデータ記憶手段に記憶されている A T M セルヘッダデータを第 1 及び第 2 のアドレスの対毎に完全照合し、第 1 及び第 2 のアドレスの対毎の照合結果を出力する完全照合手段と、

前記第 1、第 2 のアドレスの対毎の照合結果に基づいて、照合結果が一致する前記エントリデータ記憶手段の第 1 及び第 2 のアドレスを抽出するアドレス抽出手段と、

前記エントリデータ記憶手段の第 1 及び第 2 のアドレスに対応して変換後の A T M セルヘッダをあらかじめ記憶する変換後 A T M セルヘッダ記憶手段と、

前記アドレス抽出手段により抽出された第 1 及び第 2 のアドレスの一方を A T M セルヘッダの変換方向に基づいて選択し、前記変換後 A T M セルヘッダ記憶手段からそのアドレスの A T M セルヘッダを読み出す手段とを、

備えた構成とした。

本発明の第 1 0 態様により、両方で多くのセルヘッダデータが重複されて使用されるような場合に、変換方向毎に記憶手段を持つ構成に比べ、約 1 / 2 の回路規模で A T M セルヘッダ変換が可能となる。

#### 【 0 0 1 7 】

本発明の第 1 1 態様は、第 1 0 態様において、前記 A T M セルヘッダの変換方向が、セルヘッダデータが前記完全照合手段に入力する網に応じて指定する構成とした。

本発明の第 1 1 態様により、両方向の各々に対してそれぞれ別の記憶手段を持つ構成に比べ、回路規模を約 1 / 2 に抑えて両方向のセルヘッダ変換を 1 つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

## 【 0 0 1 8 】

本発明の第 1 2 態様は、第 1 ないし第 1 1 態様のいずれかにおいて、複数に分岐するポートを備え、前記エントリデータ記憶手段のアドレスが前記ポート番号に対応している構成とした。

本発明の第 1 2 態様により、アドレス出力と同時に分岐ポート番号を得ることが可能となる。

## 【 0 0 1 9 】

本発明の第 1 3 態様は、第 1 ないし第 1 1 態様のいずれかにおいて、複数に分岐するポートを備え、前記エントリデータ記憶手段のアドレスが前記ポート番号を含む構成とした。

本発明の第 1 3 態様により、両方向のセルヘッダデータと分岐ポート番号を対応付けて 1 つのエントリデータ記憶手段で管理することが可能となる。

## 【 0 0 2 0 】

本発明の第 1 4 態様は、第 1 3 態様において、複数に分岐していない一方のポートから入力したセルヘッダデータを前記変換対象の A T M セルヘッダデータの照合位置を示す信号により照合して変換し、前記変換後の A T M セルヘッダデータをそのアドレスが含む分岐ポート番号に基づいて、複数に分岐している他方のポートの 1 つの分岐先に出力する構成とした。

本発明の第 1 4 態様により、分岐していない側からのセルヘッダデータの入力に対して、対応セルヘッダデータと同時に分岐ポート番号を出力することが可能となる。

## 【 0 0 2 1 】

本発明の第 1 5 態様は、第 1 3 態様において、前記エントリデータ記憶手段に対して、複数に分岐しているポート側の A T M セルヘッダデータに対してその分岐ポート番号を付加して記憶し、

前記 A T M セルヘッダデータ及び分岐ポート番号を前記変換対象の A T M セル

ヘッダデータの照合位置を示す信号により部分照合する構成とした。

本発明の第 1 5 態様により、分岐している側からのセルヘッダデータとポート番号の入力に対して、対応セルヘッダデータを出力することが可能となる。

【 0 0 2 2 】

本発明の第 1 6 態様は、第 1 3 態様において、前記エントリデータ記憶手段に対して、複数に分岐しているポート側の A T M セルヘッダデータに対してその分岐ポート番号を付加して記憶するとともに、複数に分岐していないポート側の A T M セルヘッダデータはそのまま記憶し、

前記変換対象の A T M セルヘッダデータの照合位置を示す信号により、A T M セルヘッダデータが前記複数に分岐しているポートから入力する場合には分岐ポート番号と共に部分照合し、複数に分岐していないポートから入力する場合には入力 A T M セルヘッダデータのみを部分照合する構成とした。

本発明の第 1 6 態様により、分岐している側から分岐していない側、分岐していない側から分岐している側への双方向の A T M セルヘッダ変換が可能となる。

【 0 0 2 3 】

本発明の第 1 7 態様は、第 1 ないし第 1 6 態様のいずれかにおいて、エントリデータにコネクション情報を付加して前記エントリデータ記憶手段に記憶する構成とした。

本発明の第 1 7 態様により、双方向のセルヘッダデータと帯域制御情報などの何らかのコネクション情報を対応付けて 1 つのエントリデータ記憶手段で管理することが可能となる。

【 0 0 2 4 】

本発明の第 1 8 態様は、第 1 7 態様において、前記変換対象の A T M セルヘッダデータの照合位置を示す信号により、入力セルヘッダデータに対応する変換後セルヘッダデータと共に前記コネクション情報を出力する構成とした。

本発明の第 1 8 態様により、対応セルヘッダデータと同時にコネクション情報を出力することが可能となる。

【 0 0 2 5 】

本発明の第 1 9 態様は、第 1 ないし第 1 8 態様のいずれかにおいて、前記エン

トリデータ記憶手段に記憶されているＡＴＭセルヘッダデータの内、システムにおいて禁止されているＶＰＩ／ＶＣＩを初期値に設定する構成とした。

本発明の第１９態様により、エントリデータ記憶手段に登録有無情報を表すためのエントリマスクビットを持つ必要が無くなり回路規模を抑えることが可能となる。

【 0 0 2 6 】

本発明の第２０態様は、第１ないし第１８態様のいずれかにおいて、前記エントリデータ記憶手段に記憶されているＡＴＭセルヘッダデータの内、登録の必要がないＶＰＩ／ＶＣＩを初期値に設定する構成とした。

本発明の第２０態様により、エントリデータ記憶手段に登録有無情報を表すためのエントリマスクビットを持つ必要が無くなり回路規模を抑えることが可能となる。

【 0 0 2 7 】

本発明の第２１態様は、第１ないし第２０態様のいずれかにおいて、奇数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までのエントリデータの多重一致情報により複数のエントリデータとの一致をカウントして次段の多重一致カウント手段に通知する多重一致カウント手段と、

偶数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報と２段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び２段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた構成とした。

本発明の第２１態様により、前記エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する際の最大ゲート遅延時間を低減することが可能となる。

【 0 0 2 8 】

本発明の第２２態様は、第１ないし第２０態様のいずれかにおいて、自然数Ｎの倍数番目以外に配置され、前記エントリデータ記憶手段に記憶されているエン

トリデータ毎の照合結果と前段までの多重一致情報により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

Nの倍数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報とN段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及びN段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた構成とした。

本発明の第22態様により、前記エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する際の最大ゲート遅延時間を低減することが可能となる。

#### 【0029】

本発明の第23態様は、第1ないし第20態様のいずれかにおいて、自然数Mに対して2のM乗番目以外に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

2のM乗番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報とM以下の全ての自然数Tに対して $2^T$ 段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び $2^T$ 段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた構成とした。

本発明の第23態様により、前記エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する際の最大ゲート遅延時間を低減することが可能となる。

#### 【0030】

本発明の第24態様は、第1ないし第20態様のいずれかにおいて、自然数N、Mに対してNのM乗番目以外に配置され、前記エントリデータ記憶手段に記憶

されているエントリデータ毎の照合結果と前段までの照合結果により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

NのM乗番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報とM以下の全ての自然数Tに対して $N^T$ 段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び $N^T$ 段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた構成とした。

本発明の第24態様により、前記エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する際の最大ゲート遅延時間を低減することが可能となる。

#### 【0031】

本発明の第25態様は、第1ないし第24態様のいずれかのATMセルヘッダ変換回路により、光加入者伝送システムのATMセルヘッダを変換するようにした。

本発明の第25態様により、光加入者伝送システムにおけるATMセルヘッダ変換を簡単な構成で比較的小規模で、かつ、高速な回路で実現することが可能となる。

#### 【0032】

本発明の第26態様は、複数のアドレス毎に第1及び第2のATMセルヘッダデータを対にして記憶し、

入力セルヘッダデータと、記憶されている第1及び第2のATMセルヘッダデータのうち、変換対象のATMセルヘッダデータの照合位置に基づいて第1及び第2のATMセルヘッダデータ的一方とを各アドレス毎に照合し、照合結果が一致するアドレスの第1及び第2のATMセルヘッダデータの他方を変換後のATMセルヘッダデータとするようにした。

本発明の第26態様により、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

## 【 0 0 3 3 】

## 【 発 明 の 実 施 の 形 態 】

以下、本発明の実施の形態について、図 1 ～ 図 1 8 を用いて説明する。

## （ 実 施 の 形 態 1 ）

図 1 は本発明の実施の形態 1 の A T M セルヘッダ変換回路の構成を示している。A T M セルヘッダ変換回路はエントリデータ記憶手段 1 5 0、部分一致照合手段 1 5 1、対応アドレス抽出手段 1 5 2、セルヘッダ出力手段 1 5 3 で構成される。ここで、A T M セルは 5 バイトのヘッダと 4 8 バイトのペイロード（ユーザデータ）の合計 5 3 バイトの固定長で構成され、ヘッダは 4 ビットの G F C（一般的フロー制御）、8 ビットの V P I（仮想パス識別子）、1 6 ビットの V C I（仮想チャネル識別子）、3 ビットの P T（ペイロード・タイプ）、1 ビットの C L P（セル損失優先表示）及び 8 ビットの H E C（ヘッダ誤り制御）の各情報により構成されているが、実際には全ビット数分のコネクションを同時に使うことはない。

## 【 0 0 3 4 】

エントリデータ記憶手段 1 5 0 は、図 2 に示すように複数のアドレス 3 0 5 の各々毎に双方向（A 側、B 側）のセルヘッダデータを対応付けて記憶している。部分一致照合手段 1 5 1 は入力されたセルヘッダデータ（入力セルヘッダデータともいう）1 0 0（例えば A 側セルヘッダデータ）と、セルヘッダデータ 1 0 0 の照合ビット位置を指定するマスクビット 1 0 1 が与えられると、入力された A 側セルヘッダデータ 1 0 0 とエントリデータ記憶手段 1 5 0 に登録されているエントリデータ群 1 0 2 の一方との部分照合を行い、何番目に登録されているエントリデータと一致したかという、エントリデータ記憶手段 1 5 0 の複数のエントリデータ群 1 0 2 と同じビット数の照合結果情報 1 0 3 を対応アドレス抽出手段 1 5 2 に出力する。

## 【 0 0 3 5 】

対応アドレス抽出手段 1 5 2 は、部分一致照合手段 1 5 1 が出力する照合結果情報 1 0 3 を用いて、エントリデータ群 1 0 2 から対応するエントリデータ記憶手段 1 5 0 の対応アドレス 1 0 4 をセルヘッダ出力手段 1 5 3 に出力する。セル

ヘッダ出力手段 1 5 3 は対応アドレス抽出手段 1 5 2 が出力する対応アドレス 1 0 4 を用いて、エントリデータ記憶手段 1 5 0 に記憶されているエントリデータ群 1 0 2 の他方の新セルヘッダデータ 1 0 5 を出力セルヘッダデータとして出力する。

## 【 0 0 3 6 】

A T M セルヘッダ変換のデータの流れについて図 2 の例を用いてさらに詳しく説明する。図 2 では、部分的に変換する対象の A、B 側のセルヘッダデータ長をそれぞれ 8 ビットとしており、エントリ数を 6 4 としている。エントリデータ群 1 0 2 には 6 4 個の A 側セルヘッダデータと B 側セルヘッダデータの対がアドレス 3 0 5 と対応して記憶されている。部分一致照合手段 1 5 1 は、A 側セルヘッダデータ 1 0 0 と、A 側セルヘッダデータ 1 0 0 の記憶位置を指定するマスクビット 1 0 1 が入力されると、6 4 個の A 側エントリデータを同時に比較し、比較したエントリデータに対応する照合結果情報 1 0 3 のビットに“1”を出力する。

## 【 0 0 3 7 】

対応アドレス抽出手段 1 5 2 は、この照合結果情報 1 0 3 より対応アドレス 1 0 4 を得、さらにセルヘッダ出力手段 1 5 3 は対応アドレス 1 0 4 を用いて新セルヘッダデータ 1 0 5 を出力する。図 2 に示す例では、8 ビットの入力セルヘッダデータ 1 0 0 として、

“0 1 0 0 1 0 0 0”

であり、また、照合ビット位置を示す 1 6 ビットのマスクビット 1 0 1 として、

“1 1 0 0 1 1 1 1 0 0 0 0 0 0 0 0”

が与えられている。この場合には、エントリデータ群 1 0 2 の 3 番目のエントリデータの上位 8 ビットの A 側セルヘッダデータ 1 0 0 と部分的に一致する。3 行目が一致したという情報を照合結果情報 1 0 3 を基に“0 0 0 0 1 0”という対応アドレス 1 0 4 を得て、さらに対応アドレス 1 0 4 “0 0 0 0 1 0”を用いて B 側セルヘッダデータ“1 1 0 0 0 0 0 0”が出力される。

## 【 0 0 3 8 】

以上のような A T M セルヘッダ変換回路により、A 側から B 側方向の A T M セ

ルヘッダ変換に関して、A側とB側においてセルヘッダデータ（VPI/VCI）を任意に割り付けた上で1つのエントリデータ記憶手段150のみを用いてATMセルヘッダの変換を可能にすることができる。1つのエントリデータ記憶手段150で実現できるため、回路規模を比較的小さくでき、またコネクション情報の登録を1度に行うことが可能になる。

#### 【0039】

##### （実施の形態2）

実施の形態2について図1、図3を参照して説明する。実施の形態2は図1におけるエントリデータ群102を論理的にA側、B側のセルヘッダデータ用に各1ワード（＝8ビット）単位に分割して、図1におけるビット単位のマスクビット101により照合位置指定をワード単位のマスクワード400に置き換えたものである。エントリデータ群102のA側のセルヘッダデータがマスクワード400で指定されているときにはA側セルヘッダデータ長分のマスクビット101が指定されたときと同様の動作をする。

以上のような構成にすることにより、実施の形態1のようにビット単位でマスクするのに比べ、変換対象ビットを指定するためのマスク信号のビット数を削減することができる。また、実施の形態1におけるマスクビット101に比べて、ATMセルヘッダ変換回路への検索方向を示すマスクワード400の入力ビット数をセルヘッダ長に依存することなく抑えることが可能となる。

#### 【0040】

##### （実施の形態3）

実施の形態3について図4を用いて説明する。図4はエントリデータ書き込み手段550と図1に示したエントリデータ記憶手段150からなる。エントリデータ書き込み手段550は外部、通常CPUからライト部分エントリデータ503、書き込むビットを指定する書き込みマスクワード504及びライトアドレス502が与えられると、図2、図3に示すようにエントリデータ記憶手段150に記憶されているエントリデータ群102のうち、指定されたライトアドレス502に対応するエントリデータのうち、書き込みマスクワード504で指定されたビット位置にライト部分エントリデータ503を書き込むことにより、エン

リデータ 500 としてエントリデータ記憶手段 150 に記憶する。

【0041】

以上により、エントリデータ記憶手段 150 に対する書き込みを部分的に行えることで CPU がセットするビット数を削減でき、CPU の付加を軽減することができる。

【0042】

(実施の形態 4)

実施の形態 4 について図 5 を用いて説明する。図 5 はエントリデータ読み出し手段 650 とエントリデータ記憶手段 150 からなる。エントリデータ読み出し手段 650 は外部、通常 CPU から読み出しマスクワード 603 及びリードアドレス 602 が与えられると、図 2、図 3 に示すようにエントリデータ記憶手段 150 に記憶されているエントリデータ群 102 のうち、指定されたリードアドレス 602 に対応するエントリデータであって、読み出しマスクワード 603 で指定されたワードのみを読み出せる。

【0043】

以上により、エントリデータ記憶手段 150 からの読み出しを部分的に行えることで CPU が必要なデータのみを高速に読み出すことが可能となる。

【0044】

(実施の形態 5)

実施の形態 5 では、図 3 に示す実施の形態 2 におけるワードの区切りを外部からの指定により可変にしている。

以上によりシステムの仕様変更、具体的には使用する VPI/VCI のビット数に変更があっても回路を変更せずに、ATM セルヘッダ変換処理を行うことが可能となる。

【0045】

(実施の形態 6)

実施の形態 6 について図 6 を用いて説明する。図 6 は図 1 に示したエントリデータ記憶手段 150 及び部分一致照合手段 151 と、セルヘッダ及びアドレス同時出力手段 750 とコネクション情報記憶手段 751 からなる。コネクション情

報記憶手段 7 5 1 には、エントリデータ記憶手段 1 5 0 のアドレスと 1 対 1 で対応して該当コネクションの帯域情報、登録状況などのコネクション情報 7 0 2 が格納されている。セルヘッダ及びアドレス同時出力手段 7 5 0 は、実施の形態 1 と同様にして部分一致照合手段 1 5 1 により得られた照合結果情報 1 0 3 を利用して、入力されたセルヘッダデータ 1 0 0 と対になる新セルヘッダデータ 7 0 0 と、対応するアドレス 7 0 1 を同時に出力する。そして、得られた対応アドレス 7 0 1 によってコネクション情報記憶手段 7 5 1 からのコネクション情報 7 0 2 を読み出す。

## 【 0 0 4 6 】

以上により、入力セルヘッダデータ 1 0 0 に対応する新セルヘッダデータ 7 0 0 を得ることと、該当するコネクション情報 7 0 2 を簡単な構成で高速に得ることが可能となる。

## 【 0 0 4 7 】

## (実施の形態 7)

実施の形態 7 について図 7、図 8 を用いて説明する。実施の形態 7 の構成は、図 7 に示すようにエントリデータ記憶手段 8 5 0 と、照合手段 8 5 1 と、対応アドレス抽出手段 8 5 2 と、対応アドレス選択手段 8 5 3 と出力セルヘッダデータ記憶手段 8 5 4 からなる。エントリデータ記憶手段 8 5 0 は図 2、図 3 と異なり、図 8 に示すように A 側、B 側のエントリデータ群 8 0 0 を重複を含めて、独立に付けられる A 側の対応アドレス（アドレス A）8 0 2、B 側の対応アドレス（アドレス B）8 0 3 と対応付けて記憶する。つまり、同一の V P I / V C I が A 側、B 側双方に付けられている場合は、エントリデータ群 8 0 0 と A 側対応アドレス 8 0 2、B 側対応アドレス 8 0 3 を組にして記憶する。

## 【 0 0 4 8 】

照合手段 8 5 1 は入力されるセルヘッダデータ 1 0 0 と、エントリデータ記憶手段 8 5 0 で記憶しているエントリデータ群 8 0 0 との完全一致照合を行い、照合結果情報 1 0 3 を対応アドレス抽出手段 8 5 2 に出力する。対応アドレス抽出手段 8 5 2 は照合手段 8 5 1 が出力する照合結果情報 1 0 3 を基に、A 側対応アドレス 8 0 2 及び B 側対応アドレス 8 0 3 を対応アドレス選択手段 8 5 3 に出力

する。対応アドレス選択手段 8 5 3 は、外部から入力される  $A \rightarrow B$  又は  $B \rightarrow A$  の変換方向 8 0 1 に従って A 側対応アドレス 8 0 2 又は B 側対応アドレス 8 0 3 を選択し、変換後の対応アドレス 8 0 4 として出力する。

## 【 0 0 4 9 】

出力セルヘッダデータ記憶手段 8 5 4 は対応アドレス 8 0 4 と出力セルヘッダデータを対応付けて記憶していて、対応アドレス 8 0 4 に対応する新セルヘッダデータ 8 0 5 を出力する。入力としてセルヘッダデータ 1 0 0、例えば A 側のセルヘッダデータと、変換方向 “ $A \rightarrow B$ ” を与えることで、対応する B セルヘッダデータを得ることができる。

## 【 0 0 5 0 】

以上の実施の形態 7 により、A 側、B 側で重複するセルヘッダ情報が多数あるようなシステムでは、A T M セルヘッダ変換回路において A 側、B 側それぞれ別の記憶手段を持つ構成に比べ、約 1 / 2 の回路規模でコネクション番号を得ることができる。

## 【 0 0 5 1 】

## (実施の形態 8)

実施の形態 8 について図 9、図 1 0 を用いて説明する。図 9 は、A 側又は B 側のコネクションが物理的に複数のポート 1 0 0 2 に分割しているシステムを示す。図 1 0 は B 側のパスが 4 つのポートに分岐している例である。このような多分岐システムにおいて、実施の形態 8 では、図 1 0 のようにエントリデータ群 1 1 0 0 に対応させるアドレス 1 1 0 1 (図の 6 ビット) の部分データ (図の上位 2 ビット) を B 側のポート番号 1 1 0 2 と対応させる。

## 【 0 0 5 2 】

以上により、セルヘッダ変換と同時に当該セルの出力ポートを決定することができる。ゆえに、コネクション情報を別の記憶手段に持つ必要がなくなり回路規模を削減することができる。なお、A 側、B 側は可逆である。

## 【 0 0 5 3 】

## (実施の形態 9)

実施の形態 9 について図 9、図 1 1 を用いて説明する。図 9 に示すような多分

岐システムにおいて、図 1 1 に示すようにエントリデータ群 1 2 0 0 に B 側のポート番号 1 2 0 1 を付加し、A 側から B 側へのセルヘッダ変換の際には B 側のセルヘッダデータと共に B 側のポート番号 1 2 0 1 を出力する。また、B 側から A 側へのセルヘッダ変換の際には B 側のセルヘッダデータと共に B 側のポート番号 1 2 0 1 も照合対象ビットに付加する。

## 【 0 0 5 4 】

以上により、ポート別に独立に V P I / V C I を決定するようなシステムにおいてもセルヘッダ変換が可能となる。

## 【 0 0 5 5 】

## (実施の形態 1 0)

実施の形態 1 0 を図 1 2 を用いて説明する。図 1 2 に示すようにエントリデータ群 1 3 0 0 に B 側のコネクション情報 1 3 0 1 を付加し、セルヘッダ変換と同時にコネクション情報 1 3 0 1 を読み出す。

以上により、コネクション情報 1 3 0 1 をセルヘッダ変換と同時に高速に行える。なお、コネクション情報 1 3 0 1 とは、例えば帯域制御、スループット情報などである。

## 【 0 0 5 6 】

## (実施の形態 1 1)

実施の形態 1 1 を図 1 3 を用いて説明する。図 1 3 に示す構成は、セル廃棄手段 1 4 5 0 とセルヘッダ変換回路 1 4 5 1 からなる。セル廃棄手段 1 4 5 0 は入力セルヘッダ 1 4 0 0 のうち、システムで入力として禁止されているセルヘッダデータ（廃棄セルヘッダ） 1 4 0 1 が入力されると、そのセルヘッダ 1 4 0 1 を廃棄し、セルヘッダ変換回路 1 4 5 1 には印加しない。また、セルヘッダ変換回路 1 4 5 1 におけるエントリデータ記憶手段 1 5 0 において記憶するエントリデータの初期値を、登録のないコネクションのエントリデータ（廃棄されるセルヘッダデータ 1 4 0 1 のパターン）と同じ値にする。こうしてセルヘッダ変換回路 1 4 5 1 から出力セルヘッダ 1 4 0 2 が出力される。

## 【 0 0 5 7 】

以上により、セルヘッダ変換回路 1 4 5 1 においてあらゆる入力セルヘッダデ

ータ 1 4 0 0 は、登録の無いエントリデータと部分一致しなくなるので、従来の CAM で用いるような登録情報の有無を表すエントリマスクのビットを持たなくても、セルヘッダ変換が正しく行えるようになる。

## 【 0 0 5 8 】

## (実施の形態 1 2)

実施の形態 1 2 を図 1 4 を用いて説明する。図 1 4 に示す構成は、特定コネクションセルヘッダ変換回路 1 5 5 0 とセルヘッダ変換回路 1 4 5 1 からなる。特定コネクションセルヘッダ変換回路 1 5 5 0 は入力セルヘッダ 1 4 0 0 のうち、ある 1 つのセルヘッダデータパターン（特定コネクション 1 5 0 1）に対してのみセルヘッダ変換を行う。それ以外のセルヘッダデータはセルヘッダ変換回路 1 4 5 1 によりセルヘッダ変換される。また、セルヘッダ変換回路 1 4 5 1 におけるエントリデータ記憶手段 1 5 0 において記憶するエントリデータの初期値を、登録のないコネクションのエントリデータ（廃棄されるセルヘッダデータのパターン）と同じ値にする。こうしてセルヘッダ変換回路 1 4 5 1 から出力セルヘッダ 1 4 0 2 が出力される。

## 【 0 0 5 9 】

以上により、特に廃棄するパターンのセルが無いシステムにおいても、前記セルヘッダ変換回路 1 4 5 1 においてあらゆる入力セルヘッダデータ 1 4 0 0 は登録されていないエントリデータと部分一致しなくなるので、従来の CAM で用いるような登録情報の有無を表すエントリマスクのビットを持たなくても、セルヘッダ変換が正しく行えるようになる。

## 【 0 0 6 0 】

## (実施の形態 1 3)

実施の形態 1 3 について図 1 5、図 1 6 (a)、(b) を用いて説明する。図 1 5 に示す構成は、エントリデータ記憶手段 1 5 0 に記憶されているエントリデータの多重一致を検出するために、多重一致カウント手段 1 6 5 0 をエントリの数と同じだけ多段に並べた構成である。M を自然数として 2 の倍数以外番目の第 1 の多重一致カウント手段 1 6 5 0 は、エントリデータ毎の照合結果 1 6 0 0 と、前段までの途中結果の多重一致情報として一致なし情報 1 6 0 1、1 つ一致情

報 1 6 0 2、2 つ以上一致情報 1 6 0 3 により複数のエントリデータとの一致を検出し、次段の多重一致カウント手段 1 6 5 0 に通知する。さらに、2 の M 倍数番目の第 2 の多重一致カウント手段 1 6 5 0 は、エントリデータ毎の照合結果 1 6 0 0 と、前段までの多重一致情報 1 6 0 1、1 6 0 2、1 6 0 3 と 2 段前までの多重一致情報 1 6 0 1、1 6 0 2、1 6 0 3 により、複数のエントリデータとの一致を検出し、次段及び 2 段先の多重一致カウント手段 1 6 5 0 に通知する。そして、最終段の多重一致カウント手段 1 6 5 0 は最終結果の一致なし情報 1 6 0 4、1 つ一致情報 1 6 0 5、2 つ以上一致情報 1 6 0 6 を出力する。

#### 【0 0 6 1】

図 1 6 (a) は第 1 の多重一致カウント手段 1 6 5 0 の動作を示し、前段までの一致なし入力  $A = 1$  かつ照合結果  $G = 0$  の場合に一致なし出力  $D = 1$  を出力し、他の場合に  $D = 0$  を出力する。また、前段までの一致なし入力  $A = 1$  かつ照合結果  $G = 1$ 、又は前段までの 1 つ一致入力  $B = 1$  の場合に 1 つ一致出力  $E = 1$  を出力し、他の場合に  $E = 0$  を出力する。また、前段までの 1 つ一致入力  $B = 1$  かつ照合結果  $G = 1$ 、又は前段までの 2 つ以上一致入力  $C = 1$  の場合に 2 つ以上一致出力  $F = 1$  を出力し、他の場合に  $F = 0$  を出力する。

#### 【0 0 6 2】

図 1 6 (b) は第 2 の多重一致カウント手段 1 6 5 0 の動作を示し、前段までの一致なし入力  $A = 1$  かつ照合結果  $G = 0$  の場合に一致なし出力  $D = 1$  を出力し、他の場合に  $D = 0$  を出力する。また、前段までの一致なし入力  $A = 1$  かつ照合結果  $G = 1$ 、又は前段までの 1 つ一致入力  $B = 1$ 、又は 2 段前までの 1 つ一致入力  $B_1 = 1$  の場合に 1 つ一致出力  $E = 1$  を出力し、他の場合に  $E = 0$  を出力する。また、前段までの 1 つ一致入力  $B = 1$  又は 2 段前までの 1 つ一致入力  $B_1 = 1$  であって照合結果  $G = 1$  であり、前段までの 2 つ以上一致入力  $C = 1$  又は 2 段前までの 2 つ以上一致入力  $C_1 = 1$  の場合に 2 つ以上一致出力  $F = 1$  を出力し、他の場合に  $F = 0$  を出力する。

#### 【0 0 6 3】

ここで、エントリ数を  $E$ 、1 つの多重一致カウント手段 1 6 5 0 で入力から出力までにかかる遅延時間を  $T$  とするとき、通常のシーケンシャルで多重一致を

検出する方法での最大ゲート遅延時間は $E \times T$ となるが、上記方法を用いることにより最大ゲート遅延時間は約 $(1/2 \times E + 2) \times T$ に抑えることができる。なお、図15の例では、2つ先の段に多重一致情報を通知するが、 $N$ 個おきにしても同様の効果が得られる。この場合の最大ゲート遅延時間は約 $(1/N \times E + 2 \times N - 2) \times T$ となる。

## 【0064】

## (実施の形態14)

実施の形態14について図17、図18を用いて説明する。図17は同じく多重一致カウント手段1750をエントリの数と同じだけ多段に並べた構成である。Mを自然数として2のM乗番目以外の多重一致カウント手段1750は、図16(a)に示す構成と同じであり、エントリデータ毎の照合結果1600と、前段の多重一致情報として一致なし情報1701、1つ一致情報1702、2つ以上一致情報1703により、複数のエントリデータとの一致を検出し、次段の多重一致カウント手段1750に通知する。

## 【0065】

さらに2のM乗番目の多重一致カウント手段1750は、エントリデータ毎の照合結果1600と、前段の照合結果1701～1703と、M以下の全ての自然数Tに対して $2^T$ 段前の照合結果1701～1703により複数のエントリデータとの一致を検出し、次段及び $2^T$ 段先の多重一致カウント手段1750に通知する。そして、最終段の多重一致カウント手段1750は最終結果の一致なし情報1704、1つ一致情報1705、2つ以上一致情報1706を出力する。

## 【0066】

図18は、この多重一致カウント手段1750の動作を示し、前段までの一致なし入力 $A = 1$ かつ照合結果 $G = 0$ の場合に一致なし出力 $D = 1$ を出力し、他の場合に $D = 0$ を出力する。また、前段までの一致なし入力 $A = 1$ かつ照合結果 $G = 1$ 、又は前段までの1つ一致入力 $B = 1$ 、又は $2^T$ 段先の1つ一致入力のいずれかが1の場合に1つ一致出力 $E = 1$ を出力し、他の場合に $E = 0$ を出力する。また、前段までの1つ一致入力 $B = 1$ 又は $2^T$ 段先の1つ一致入力のいずれかが1であって照合結果 $G = 1$ であり、前段までの2つ以上一致入力 $C = 1$ 又は $2^T$

段先の2つ以上一致入力のいずれかが1の場合に2つ以上一致出力 $F = 1$ を出力し、他の場合に $F = 0$ を出力する。

#### 【0067】

エントリ数を $E$ とするときに通常のシーケンシャルに多重一致を検出する方法での最大ゲート遅延時間は $E \times T$ となるが、上記方法を用いることにより、約 $\log_2 E \times T$ に抑えることができる。なお、図17に示す例では、2のべき乗だけ先の段に多重一致情報を通知するが、 $N$ のべき乗だけ先の段に多重一致情報を通知するようにしても同様の効果が得られる。この場合の最大ゲート遅延時間は約 $(\log_N E + 2 \times N) \times T$ となる。

#### 【0068】

##### 【発明の効果】

本発明の第1態様によれば、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

本発明の第2態様によれば、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

本発明の第3態様によれば、第2態様と比べて、ATMセルヘッダ変換回路への検索方向を示す入力ビット数をセルヘッダ長に依存することなく抑えることが可能となる。

本発明の第4態様によれば、エントリ記憶手段からの読み出しを高速に行うことが可能となる。

本発明の第5態様によれば、エントリ記憶手段への書き込みを高速に行うことが可能となる。

本発明の第6態様によれば、ワード数が可変であるので、コネクションに関する情報の追加・削除などのシステム変更があるときに回路構成を変更すること無く対応することが可能となる。

本発明の第7態様によれば、1ワードのワード長が可変であるので、使用するVPI/VCIのビット数の拡張などのシステム変更があるときに回路構成を変更すること無く対応することが可能となる。

本発明の第8態様によれば、ワード数と1ワードのワード長が可変であるので

、システム変更があるときに回路構成を変更すること無く対応することが可能となる。

本発明の第 9 態様によれば、入力セルヘッダに対応する対応アドレス及び対応セルヘッダデータを同時に出力することができるので、対応セルヘッダデータを高速に得ることが可能となる。

本発明の第 1 0 態様によれば、重複するセルヘッダデータを 1 つのエントリデータ記憶手段で記憶するので、両方向で多くのセルヘッダデータが重複されて使用されるような場合に、変換方向毎に記憶手段を持つ構成に比べ、約 1 / 2 の回路規模で A T M セルヘッダ変換が可能となる。

本発明の第 1 1 態様によれば、両方向の各々に対してそれぞれ別の記憶手段を持つ構成に比べ、回路規模を約 1 / 2 に抑えて両方向のセルヘッダ変換を 1 つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

本発明の第 1 2 態様によれば、アドレスと分岐ポート番号が対応しているので、ポート番号用のビットを新たに追加することなく、アドレス出力と同時に分岐ポート番号を得ることが可能となる。

本発明の第 1 3 態様によれば、エントリデータ記憶手段で分岐ポート番号も記憶しているので、両方向のセルヘッダデータと分岐ポート番号を対応付けて 1 つのエントリデータ記憶手段で管理することが可能となる。

本発明の第 1 4 態様によれば、分岐ポート番号も同時に出力するので、分岐していない側からのセルヘッダデータの入力に対して、対応セルヘッダデータと同時に分岐ポート番号を出力することが可能となる。

本発明の第 1 5 態様によれば、分岐ポートの入力に対しても部分一致照合をするので、分岐している側からのセルヘッダデータとポート番号の入力に対して対応セルヘッダデータを出力することが可能となる。

本発明の第 1 6 態様によれば、セルヘッダ出力手段が分岐ポート番号も同時に出力し、部分一致照合手段が分岐ポートの入力に対しても部分一致照合をするので分岐している側から分岐していない側、分岐していない側から分岐している側への双方向の A T M セルヘッダ変換が可能となる。

本発明の第 1 7 態様によれば、エントリデータ記憶手段でコネクション情報も

記憶しているので、双方向のセルヘッダデータと帯域制御情報などの何らかの接続情報を対応付けて1つのエントリデータ記憶手段で管理することが可能となる。

本発明の第18態様によれば、接続情報も同時に出力するので、対応セルヘッダデータと同時に帯域制御情報などの何らかの接続情報を出力することが可能となる。

本発明の第19態様によれば、必ず部分一致しないデータをエントリデータの初期値に持つので、エントリデータ記憶手段に登録有無情報を表すためのエントリマスクビットを持つ必要がなくなり回路規模を抑えることが可能となる。

本発明の第20態様によれば、必ず部分一致しないデータをエントリデータの初期値に持つので、エントリデータ記憶手段に登録有無情報を表すためのエントリマスクビットを持つ必要がなくなり回路規模を抑えることが可能となるという効果を有する。

本発明の第21態様によれば、エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する場合に、2つ先の段に多重一致情報を通知するので、最大ゲート遅延時間を約  $(1/2 \times E + 2) \times T$  に抑えることができ、最大ゲート遅延時間を低減することが可能となる。

本発明の第22態様によれば、エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する場合に、Nだけ先の段に多重一致情報を通知するので、最大ゲート遅延時間を約  $(1/N \times E + 2 \times N - 2) \times T$  に抑えることができ、最大ゲート遅延時間を低減することが可能となる。

本発明の第23態様によれば、エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する場合に、2のべき乗先の段に多重一致情報を通知するので、最大ゲート遅延時間を  $\log_2 E \times T$  に抑えることができ、最大ゲート遅延時間を低減することが可能となる。

本発明の第24態様によれば、エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する場合に、Nのべき乗先の段に多重一致情報を通知するので、最大ゲート遅延時間を約  $(\log_N E + 2 \times N) \times T$  に抑えることができ、最大ゲート遅延時間を低減することが可能となる。

本発明の第 2 5 態様によれば、光加入者伝送システムにおける A T M セルヘッダ変換を簡単な構成で比較的小規模で、かつ、高速な回路で実現することが可能となる。

本発明の第 2 6 態様によれば、両方向のセルヘッダ変換を 1 つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 における A T M セルヘッダ変換を実現するためのブロック図

【図 2】

本発明の実施の形態 1 における A 側から B 側方向の A T M セルヘッダ変換の動作を示す説明図

【図 3】

本発明の実施の形態 2 における A 側から B 側方向の A T M セルヘッダ変換の動作を示す説明図

【図 4】

本発明の実施の形態 3 におけるエントリデータ書き込み動作を説明するためのブロック図

【図 5】

本発明の実施の形態 4 におけるエントリデータ読み出し動作を説明するためのブロック図

【図 6】

本発明の実施の形態 6 における A T M セルヘッダ変換を実現するためのブロック図

【図 7】

本発明の実施の形態 7 における A T M セルヘッダ変換を実現するためのブロック図

【図 8】

本発明の実施の形態 7 における A 側から B 側方向の A T M セルヘッダ変換の動

作を示す説明図

【図 9】

本発明の実施の形態 8 における多分岐システムを示すブロック図

【図 1 0】

本発明の実施の形態 8 におけるエントリデータ記憶手段のアドレスを示す説明図

【図 1 1】

本発明の実施の形態 9 におけるエントリデータ記憶手段のエントリデータを示す説明図

【図 1 2】

本発明の実施の形態 1 0 におけるエントリデータ記憶手段のエントリデータを示す説明図

【図 1 3】

本発明の実施の形態 1 1 における A T M セルヘッダ変換を実現するためのブロック図

【図 1 4】

本発明の実施の形態 1 2 における A T M セルヘッダ変換を実現するためのブロック図

【図 1 5】

本発明の実施の形態 1 3 における多重一致を検出するためのブロック図

【図 1 6】

本発明の実施の形態 1 3 における多重一致の動作を示す説明図

(a) 図 1 5 の第 1 の多重一致カウント手段の動作を示す説明図

(b) 図 1 5 の第 2 の多重一致カウント手段の動作を示す説明図

【図 1 7】

本発明の実施の形態 1 4 における多重一致を検出するためのブロック図

【図 1 8】

図 1 7 の第 2 の多重一致カウント手段の動作を示す説明図

【図 1 9】

従来のATMセルヘッダ変換回路を示すブロック図

【符号の説明】

100、302、902 入力セルヘッダデータ

101 マスクビット

102、300、800、900、1100、1200、1300 エントリ

データ群

103、303 照合結果情報

104、701、804 対応アドレス

105、700、805 新セルヘッダデータ

150、850 エントリデータ記憶手段

151 部分一致照合手段

152 対応アドレス抽出手段

153 セルヘッダ出力手段

200 A側セルヘッダデータ

201、305、1101 アドレス

202 B側セルヘッダデータ

301 マスクビット

400 マスクワード

500 エントリデータ

502 ライトアドレス

503 ライト部分エントリデータ

550 エントリデータ書き込み手段

602 リードアドレス

603 リード部分エントリデータ

650 エントリデータ読み出し手段

702、1301 コネクション情報

750 セルヘッダ及びアドレス同時手段

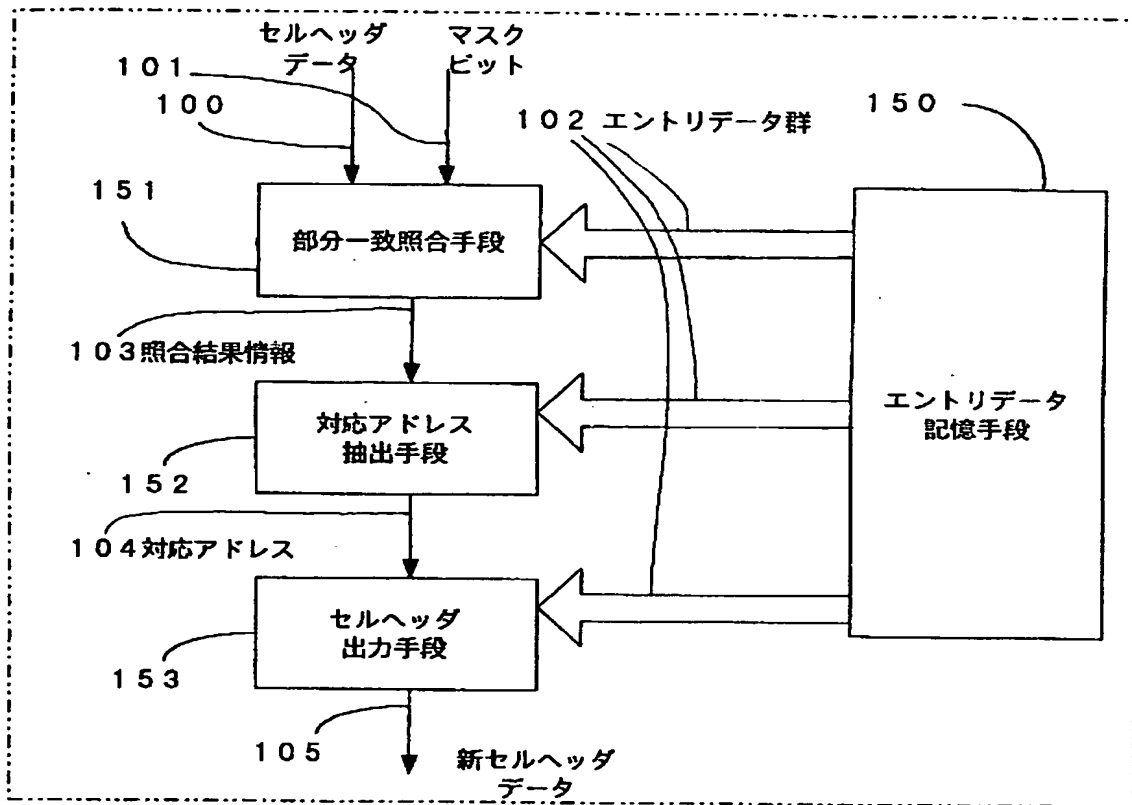
751 コネクション情報記憶手段

801、901 変換方向

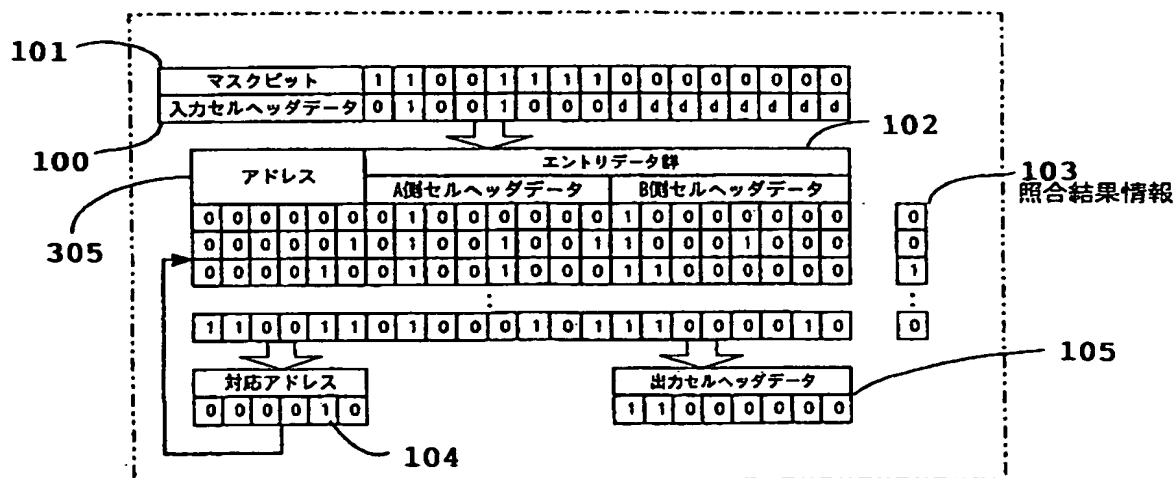
- 8 0 2    A 側 対 応 ア ド レ ス
- 8 0 3    B 側 対 応 ア ド レ ス
- 8 5 1    照 合 手 段
- 8 5 2    対 応 ア ド レ ス 抽 出 手 段
- 8 5 3    対 応 ア ド レ ス 選 択 手 段
- 8 5 4    出 力 セ ル ヘ ッ ダ 記 憶 手 段
- 9 0 3    ア ド レ ス A
- 9 0 4    ア ド レ ス B
- 9 0 5    対 応 B ア ド レ ス
- 1 0 0 0    A T M セ ル ヘ ッ ダ 変 換 回 路
- 1 0 0 1    コ ネ ク シ ョ ン
- 1 0 0 2    ポ ー ト
- 1 1 0 2    B 側 ポ ー ト 番 号
- 1 2 0 1    B 側 ポ ー ト 番 号
- 1 4 0 0    入 力 セ ル ヘ ッ ダ
- 1 4 0 1    廃 棄 セ ル ヘ ッ ダ
- 1 4 0 2    出 力 セ ル ヘ ッ ダ
- 1 4 5 0    セ ル 廃 棄 手 段
- 1 4 5 1    セ ル ヘ ッ ダ 変 換 回 路
- 1 5 0 1    特 定 コ ネ ク シ ョ ン
- 1 5 5 0    特 定 コ ネ ク シ ョ ン セ ル ヘ ッ ダ 変 換 回 路
- 1 6 0 0    照 合 結 果
- 1 6 0 1、1 7 0 1    一 致 無 し（途 中 経 過）を 表 す 信 号
- 1 6 0 2、1 7 0 2    1 つ 一 致（途 中 経 過）を 表 す 信 号
- 1 6 0 3、1 7 0 3    2 つ 以 上 一 致（途 中 経 過）を 表 す 信 号
- 1 6 0 4、1 7 0 4    一 致 無 し（最 終 結 果）を 表 す 信 号
- 1 6 0 5、1 7 0 5    1 つ 一 致（最 終 結 果）を 表 す 信 号
- 1 6 0 6、1 7 0 6    2 つ 以 上 一 致（最 終 結 果）を 表 す 信 号
- 1 6 5 0、1 7 5 0    多 重 一 致 カ ウ ン ト 手 段

【書類名】 図面

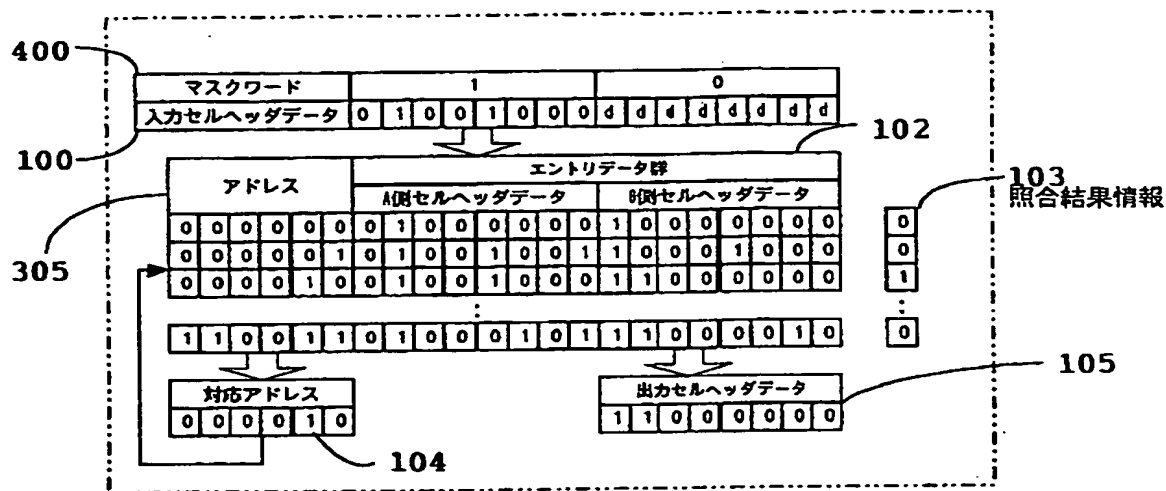
【図 1】



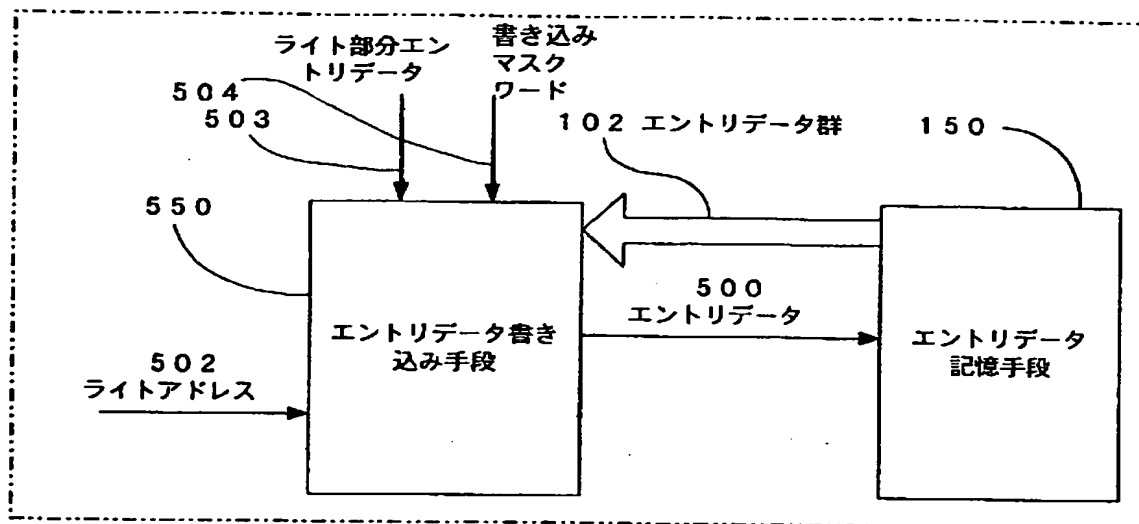
【図 2】



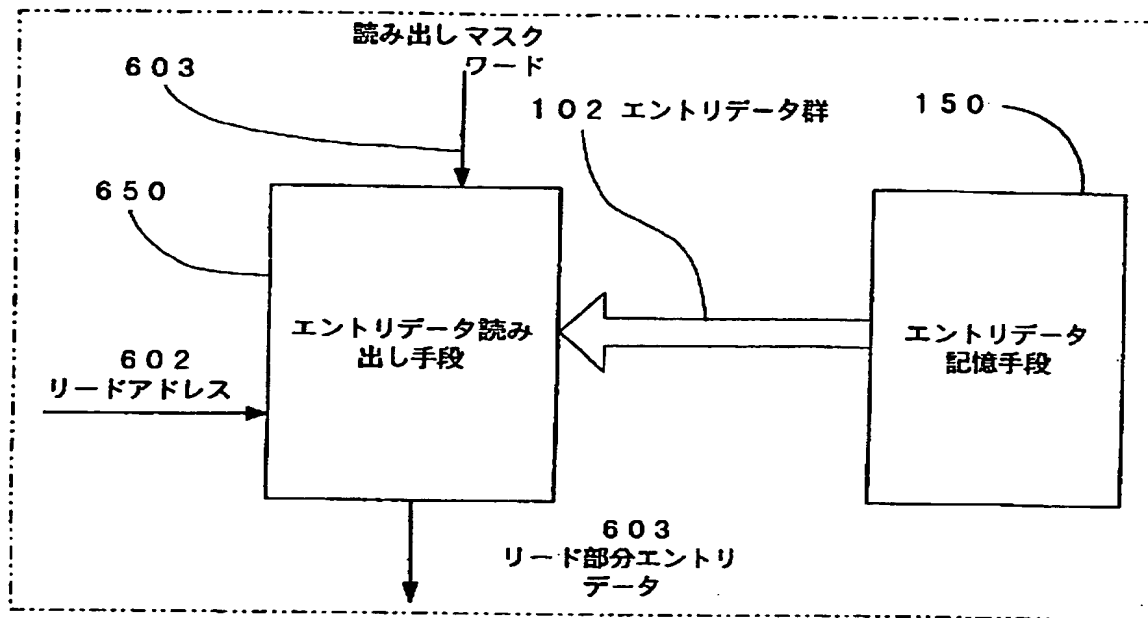
【図3】



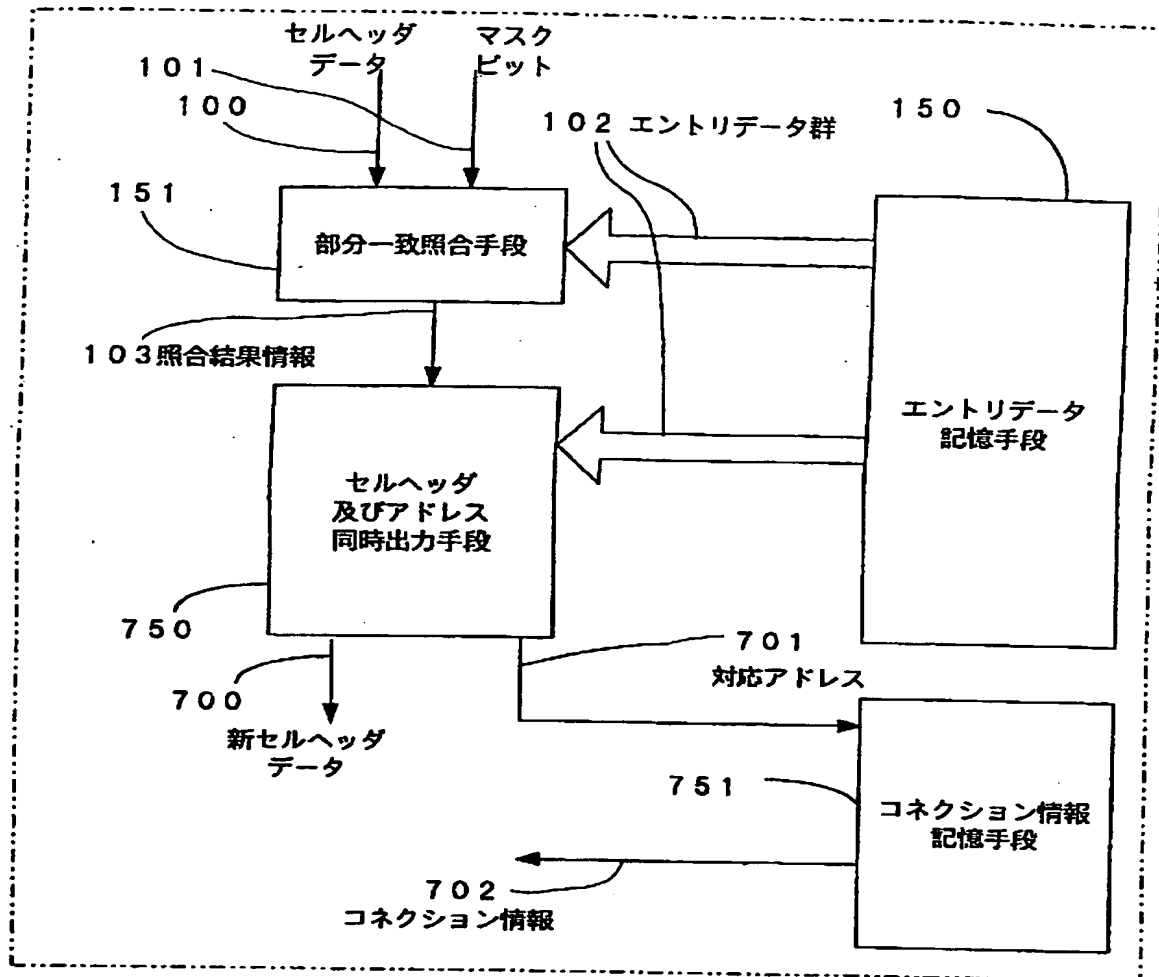
【図4】



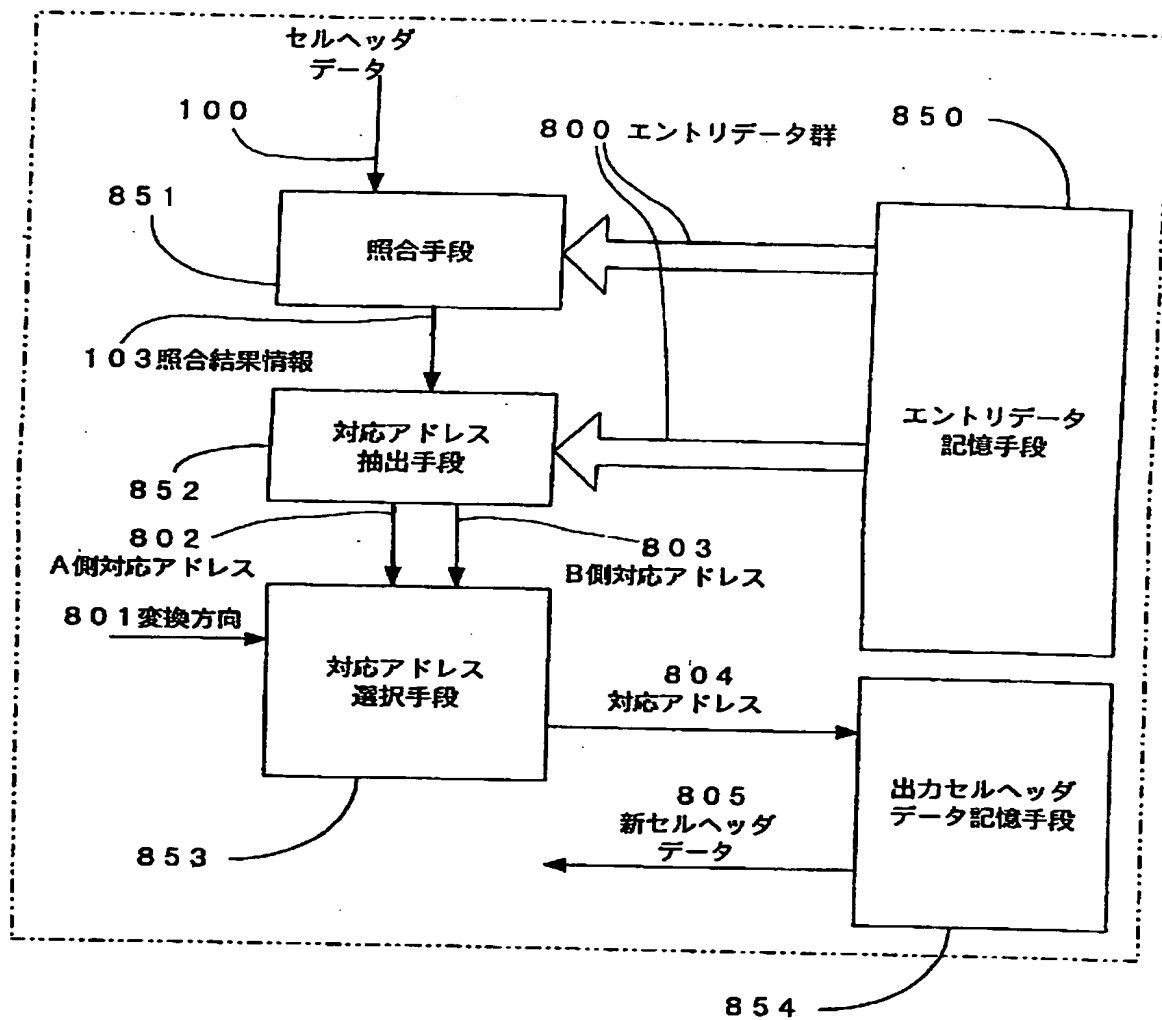
【図 5】



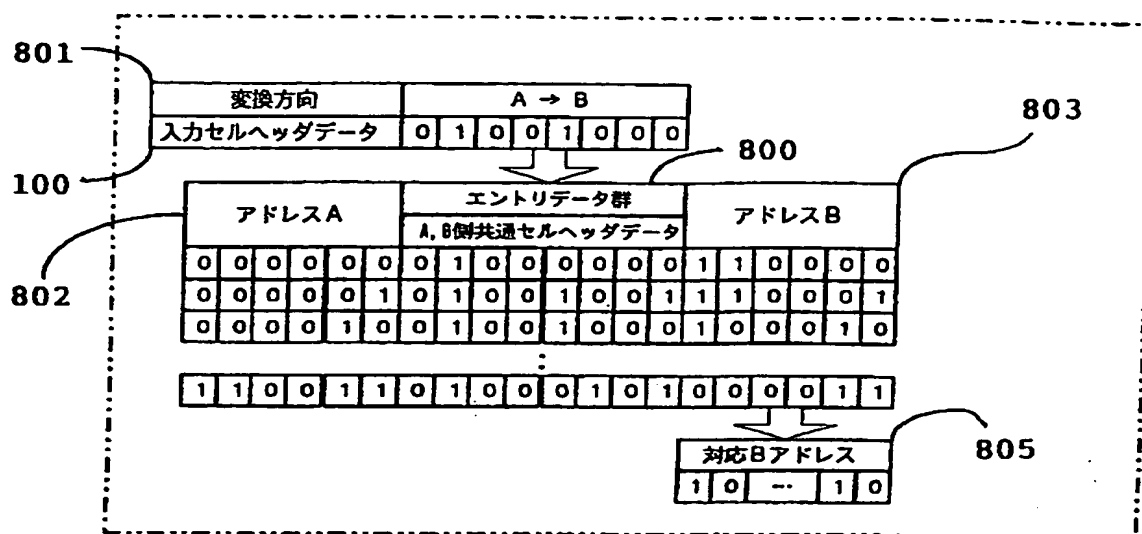
【図6】



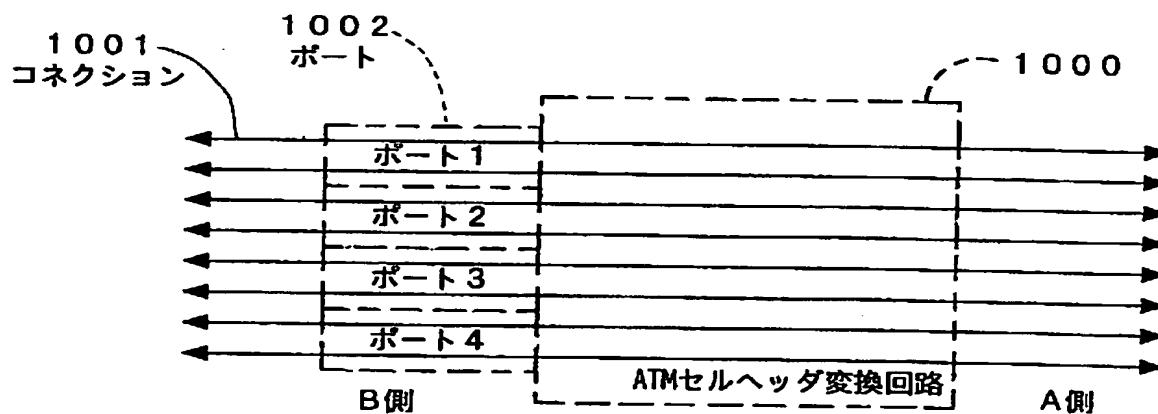
【図 7】



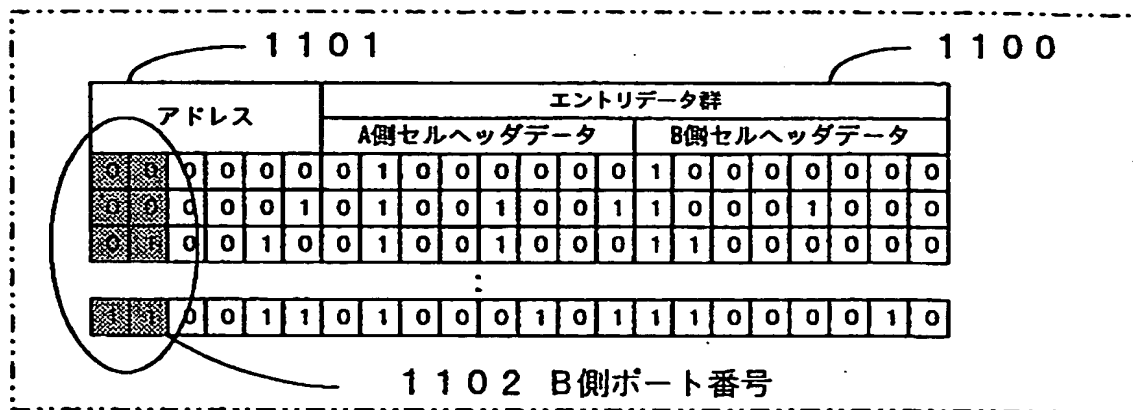
【図 8】



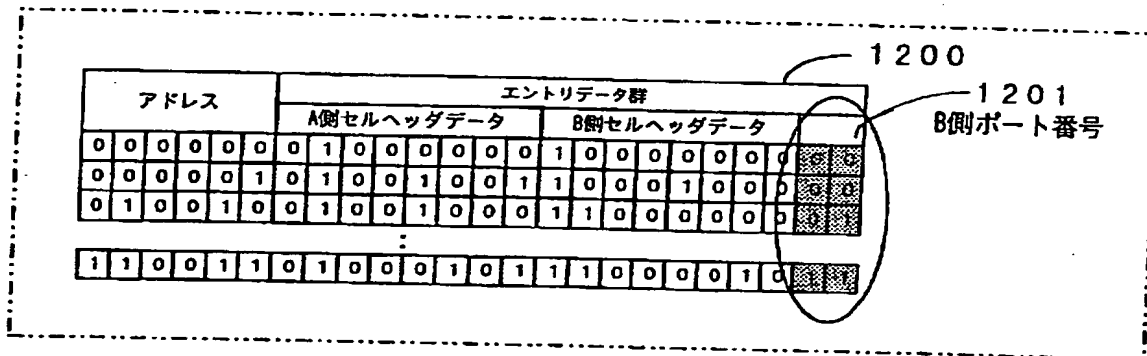
【図 9】



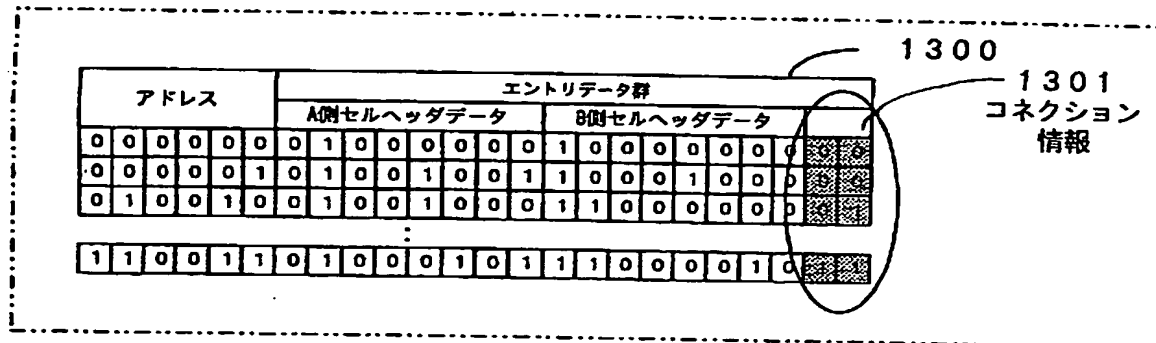
【図10】



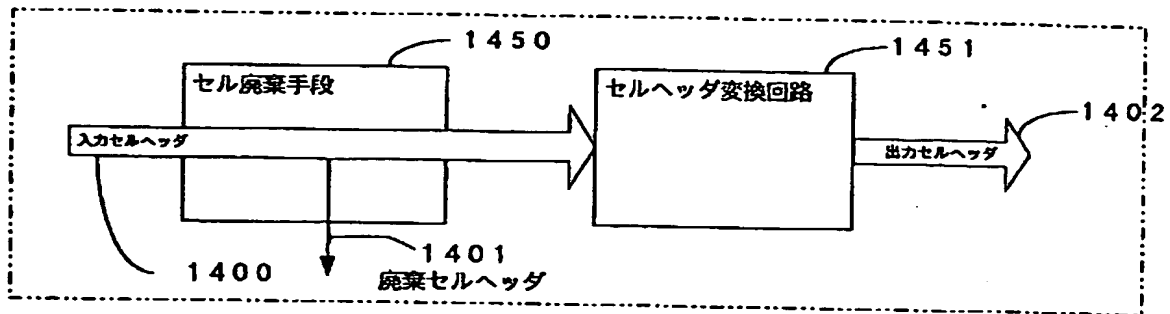
【図11】



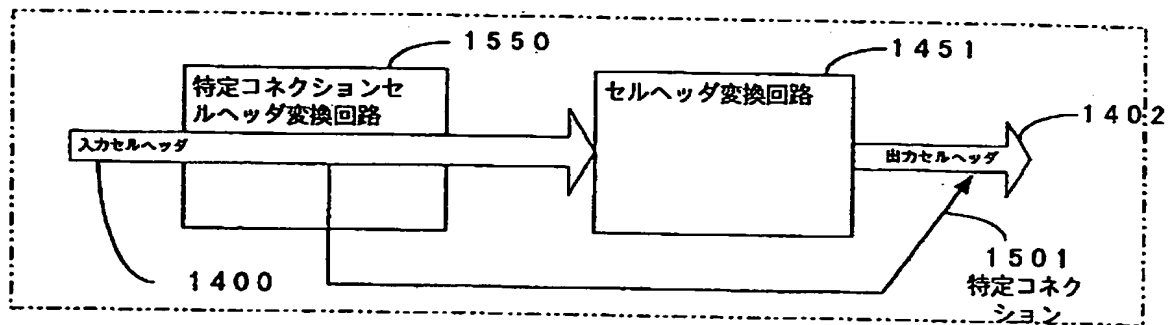
【図12】



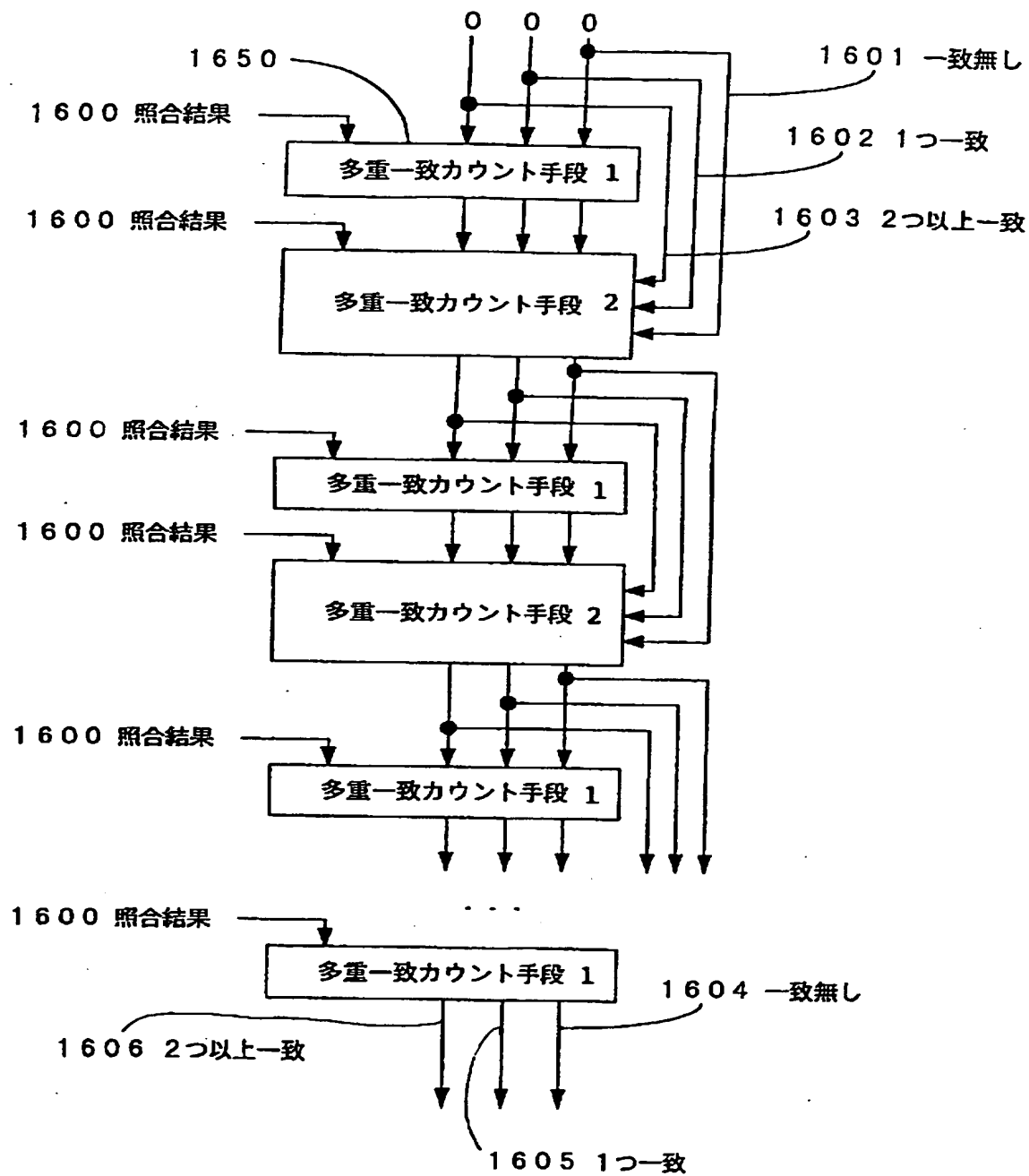
【図 13】



【図 14】

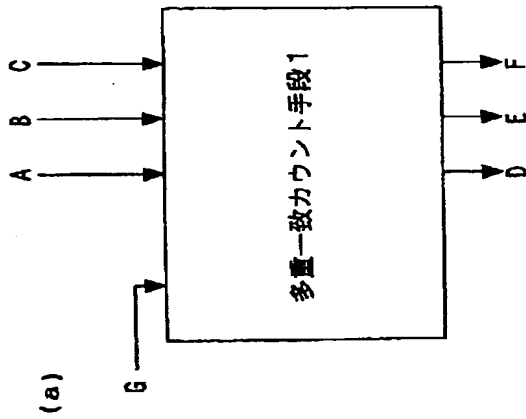


【図15】



【図 16】

全て正論理：  
1にて有意味とする

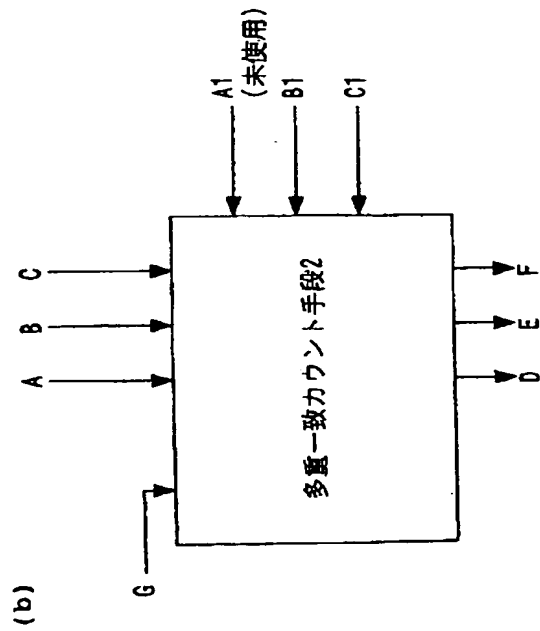


----- Dの生成回路 -----  
if (A = 1 and G = 0) then D ← 1  
else D ← 0 ;

----- Eの生成回路 -----  
if {(A=1 and G=1) or B=1}  
then E ← 1  
else E ← 0 ;

----- Fの生成回路 -----  
if {(B=1 and G=1) or C=1}  
then F ← 1  
else F ← 0 ;

A 一致無し  
B 1つ一致  
C 2つ以上一致  
D 一致無し  
E 1つ一致  
F 2つ以上一致  
G 照合結果

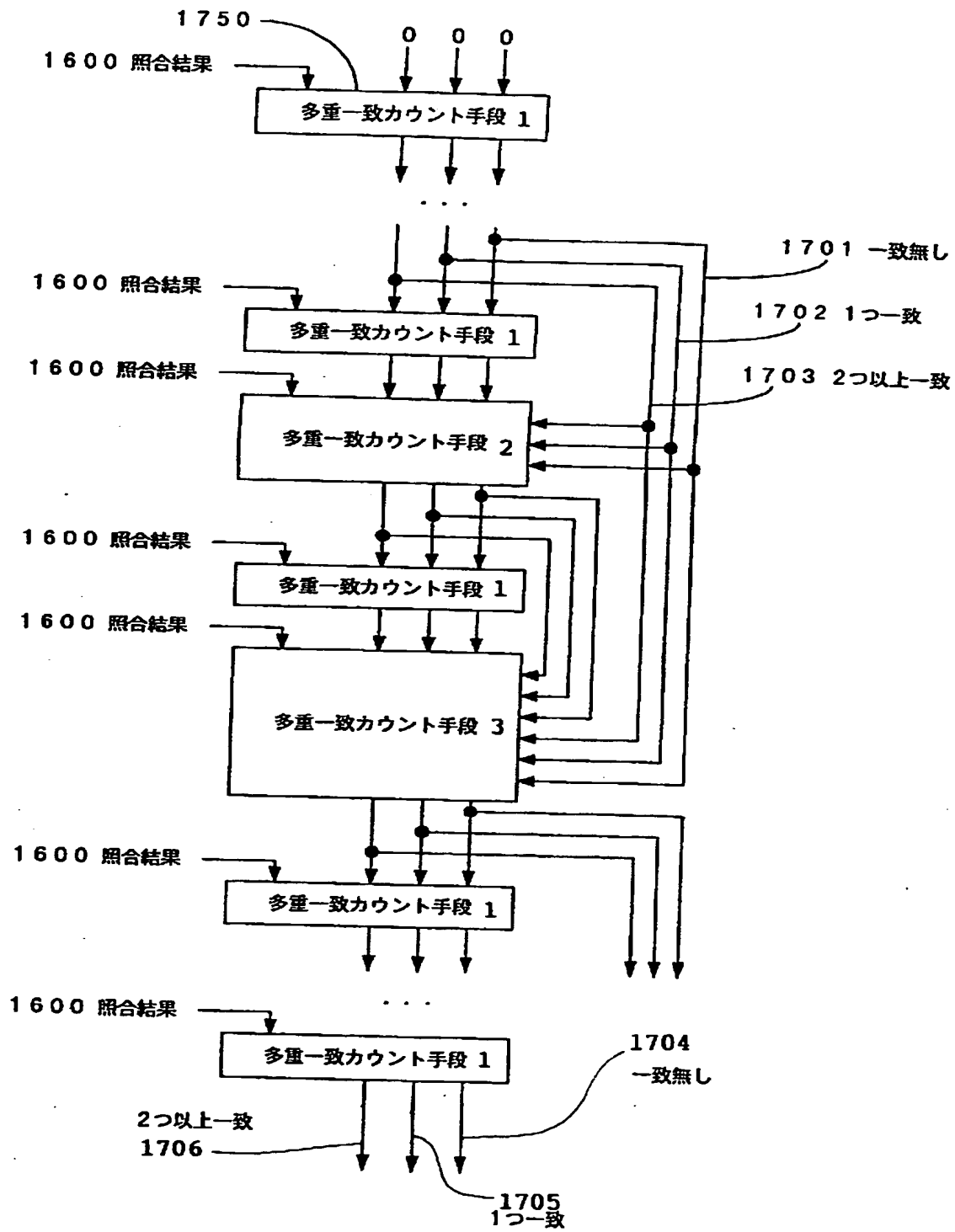


----- Dの生成回路 -----  
if (A=1 and G = 0)  
then D ← 1  
else D ← 0 ;

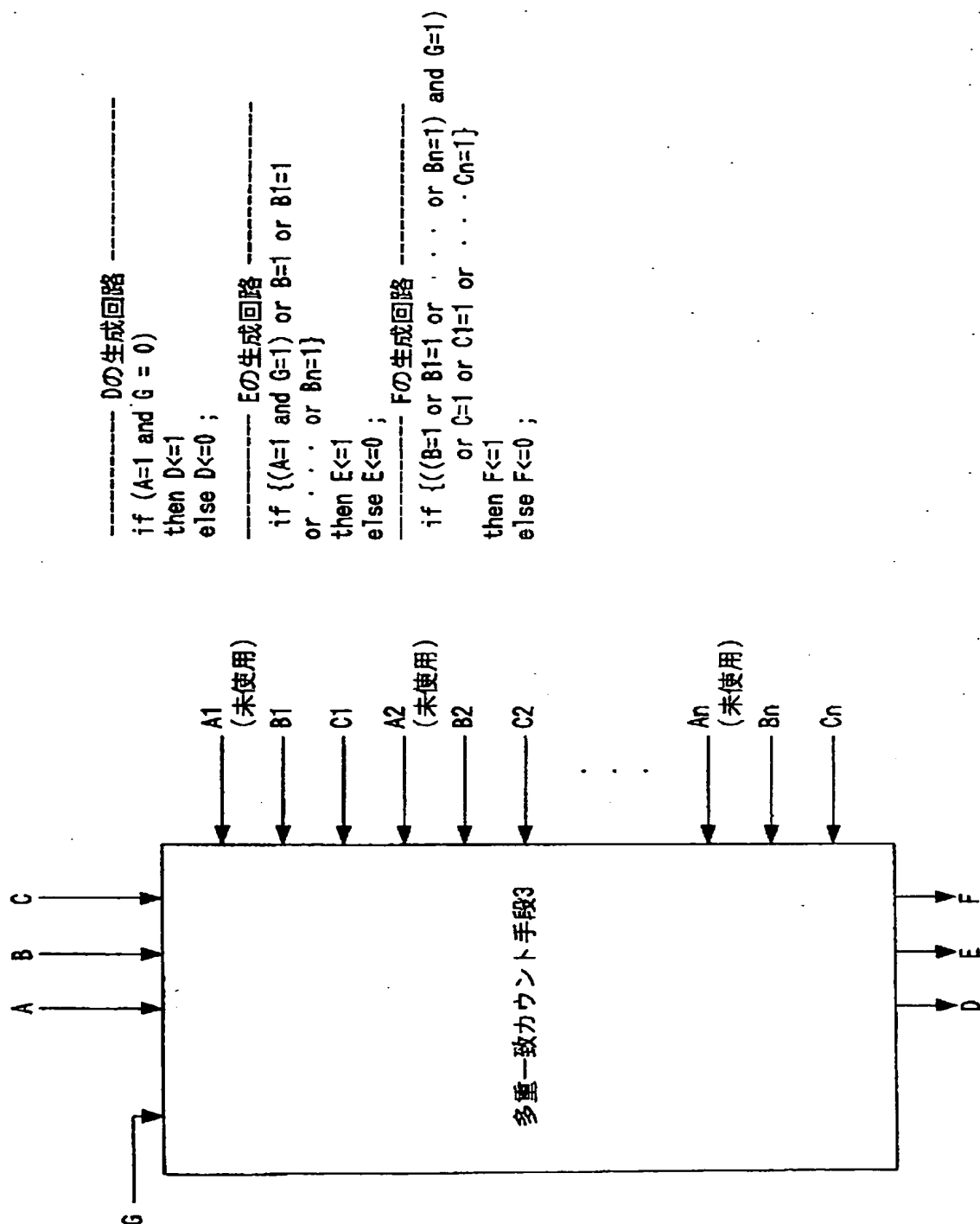
----- Eの生成回路 -----  
if {(A=1 and G=1) or B=1 or B1=1}  
then E ← 1  
else E ← 0 ;

----- Fの生成回路 -----  
if {(B=1 or B1=1) and G=1)  
or C=1 or C1=1}  
then F ← 1  
else F ← 0 ;

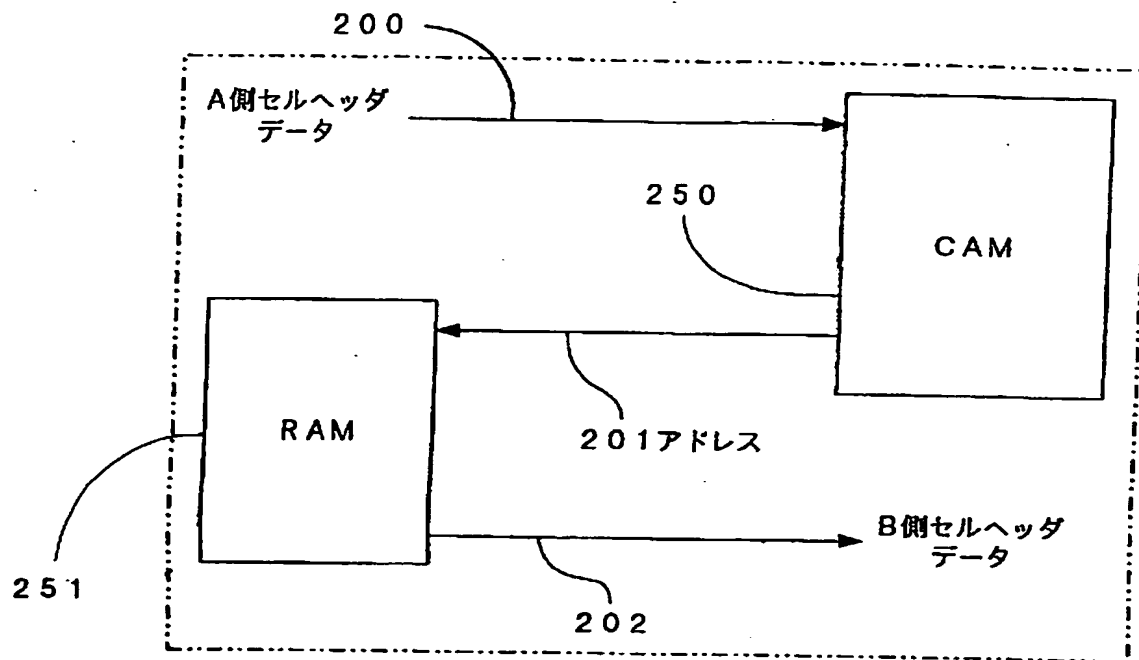
【図 17】



【図 18】



【図19】



【書類名】            要約書

【要約】

【課題】    A T Mセルヘッダ変換回路及び方法において、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現する。

【解決手段】    エントリデータ記憶手段150は複数のアドレス305の各々毎に双方向のセルヘッダデータを対応付けて記憶する。入力セルヘッダデータ100を、入力セルヘッダデータの照合ビット位置を指定するマスクビット101に基づいてエントリデータ記憶手段に登録されているエントリデータ群102の一方と部分照合を行い、一致するアドレスの他方の新セルヘッダデータ105を出力する。

【選択図】            図2

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 1 - 0 5 5 8 4 9
受付番号	5 0 1 0 0 2 8 7 0 4 6
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 3 年 3 月 2 1 日

< 認定情報・付加情報 >

【提出日】	平成13年 2月28日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[ 変更理由 ] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社